

**Disclaimer:**

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

**Notes:**

1. Untranslatable words are replaced with asterisks (\* \*\* \*).
2. Texts in the figures are not translated and shown as it is.

Translated: 05:11:52 JST 07/25/2008

Dictionary: Last updated 07/18/2008 / Priority: 1. Mathematics/Physics / 2. Technical term / 3. Proper nouns

---

**CLAIM + DETAILED DESCRIPTION**

---

[Claim(s)]

[Claim 1]

It is the solid state image sensor which equipped the semiconductor board with two or more unit pixels which generate a signal electric charge according to incident light, a trench separation field is formed between said unit pixels, and three or more [ one E19cm-] impurities concentration is shown in the slot of said trench separation field -- amorphous or the substance of polycrystal is embedded

The solid state image sensor characterized by things.

[Claim 2]

Said substances embedded to said trench separation field in a solid state image sensor according to claim 1 are boron, Lynn, arsenic, and a solid state image sensor characterized by including at least one kind of element among antimony as impurities.

[Claim 3]

In a solid state image sensor given in any 1 clause of Claim 1 or Claim 2,

The same conducted-current type diffusion zone as said embedded substance is formed in the inner wall of the slot of said trench separation field.

The solid state image sensor characterized by things.

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to a solid state image sensor. This invention relates to the solid state image sensor which realized structure of reducing a dark current in more detail.

[0002]

[Description of the Prior Art]

Conventionally, a gettering layer is formed in the back of a semiconductor wafer, and the gettering technology which brings the metal contamination in a wafer together in the back side, and catches it is known. In addition, general gettering technology is indicated to the following nonpatent literature 1.

Moreover, the following patent documents 1 are indicated as conventional parallel which applied gettering technology to the solid state image sensor.

[0003]

Drawing 5 is the outline sectional view of the XY address type solid state image sensor 100 based on these patent documents 1. Drawing 6 is the circuit block diagram of the unit pixel PXL of this solid state image sensor 100.

Based on drawing 5 and drawing 6, the composition of this solid state image sensor 100 is explained hereafter.

On the semiconductor board 101a, layer formation of the epitaxial layer 101b is carried out. This epitaxial layer 101b is classified into the picture element region 100A and the peripheral circuit area 100B.

[0004]

p WERU field 2a is formed in this picture element region 100A. In this p WERU field 2a, two or more unit pixels PXL are arranged in the shape of an array. One by one [ pixel / PXL / these / unit ], it has Photo-diode PD, the transmission switch Qt, a reset switch Qr, the amplification element Qa, and the selection switch Qs, and is constituted.

On the other hand, a vertical scanning circuit, a horizontal scanning circuit, a signal-processing circuit which control the above-mentioned unit pixel PXL are formed in the peripheral circuit area 100B as a CMOS circuit. The nMOS transistor Tn of this CMOS circuit is equipped with the channel dope field 28 for controlling the threshold of n type source / drain area 25, gate oxide 26, the gate electrode 27, and the nMOS transistor Tn in p WERU field 2b, and is constituted. On the other hand, the pMOS transistor Tp of a CMOS circuit is equipped with the channel dope field 24 for controlling the threshold of p type source / drain area 21, gate oxide 22, the gate electrode 23, and the pMOS transistor Tp in n WERU field 3, and is constituted.

[0005]

Among each of these elements, field oxide 4 is formed suitably, and separates and insulates each element. The separation field 2c is formed in the lower part of the field oxide 4 which touches p WERU fields 2a and 2b among this.

Furthermore, the interlayer insulation film 5 patterned so that the aperture of the predetermined portion might be carried out is formed, and the wiring 6 electrically connected with the electric conduction field of each element mentioned above on it is patterned.

[0006]

In such a solid state image sensor 100, the gettering layer 102 of high impurities concentration is formed so that p WERU field 2a bottom may be touched. This gettering layer 102 is formed by introducing impurities, such as Lynn (P) and boron (B), by the high concentration of one E17 - 1E19cm<sup>-3</sup>.

Furthermore, the n type high impurities concentration field 103 for separation is formed in the solid state image sensor 100 so that p WERU field 2a may be surrounded. This high impurities concentration field 103 for separation is formed by introducing Lynn (P) by the high concentration of one E18 - 1E19cm<sup>-3</sup>.

These gettering layers 102 and the high impurities concentration field 103 for separation catch the heavy metals or minute defects used as the source of a dark current, such as Cr, Fe, nickel, Co, Cu, and Au. As a result, the dark current of a solid state image sensor can be reduced.

[0007]

[The patent documents 1]

JP,2002-43557,A

[The nonpatent literature 1]

The "LSI handbook" 1st edition 1st \*\* edited by Institute of Electronics and Communication Engineers,  
358 pages - 364 pages, Ohm-Sha Ltd. issue

[0008]

[Problem to be solved by the invention]

In the solid state image sensor 100 mentioned above, the gettering layer 102 is arranged to the p WERU field 2a down side. Before forming p WERU field 2a in the case of such structure, you have to form the gettering layer 102.

That is, after forming the gettering layer 102 in the semiconductor board 101a, layer formation of the epitaxial layer 101b had to be carried out on the gettering layer 102.

As a result, there was a problem that the process of epitaxial growth became indispensable and the manufacture cost of the solid state image sensor 100 became high in manufacture of the solid state image sensor 100.

[0009]

Furthermore, at this epitaxial growth process,  $\text{SiCl}_4$ ,  $\text{SiHCl}_3$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiH}_4$ , etc. are used as material gas. Since each of these material gas contains metal impurities comparatively so much, it tends to generate metal contamination. Therefore, there was a problem that the solid state image sensor 100 will be polluted on the contrary by heavy metals according to the epitaxial growth process adopted in order to form the gettering layer 102.

[0010]

Moreover, since the interval of the gettering layer 102, Photo-diode PD, etc. was substantially far, it was difficult to fully remove the metal contamination which induces the leak current (namely, dark current) of Photo-diode PD in the gettering layer 102. Furthermore, since the high impurities concentration field 103 for separation was formed in the circumference of the picture element region 100A, it also had the problem that gettering capability was easily insufficient to the unit pixel PXL for the central part of the picture element region 100A.

[0011]

Usually, if a manufacture process is low-temperature-ized in connection with the element miniaturization of a solid state image sensor, gettering capability will decline generally. Therefore, the problem mentioned above as the solid state image sensor of high resolution appears notably.

Then, this invention aims at showing gettering technology effective for pollution removal of a solid state image sensor (picture element region) in view of the problem mentioned above.

[0012]

[Means for solving problem]

This invention is explained hereafter.

<<Claim 1>>

Invention according to claim 1 is the solid state image sensor which equipped the semiconductor board with two or more unit pixels which generate a signal electric charge according to incident light. A trench separation field is formed between the unit pixels of this solid state image sensor. three or more [ one E19cm-] impurities concentration is shown in the slot of this trench separation field -- amorphous or the substance of

polycrystal is embedded.

<<Claim 2>>

At least one kind of element is contained in the substance which embeds invention according to claim 2 to a trench separation field in a solid state image sensor according to claim 1 among boron, Lynn, arsenic, and antimony as impurities.

<<Claim 3>>

The conducted-current type diffusion zone as the substance embedded at the inner wall of the slot of a trench separation field in the solid state image sensor given in any 1 clause of Claim 1 or Claim 2 with the same invention according to claim 3 is formed.

[0013]

[Mode for carrying out the invention]

The embodiment which starts this invention based on Drawings is explained hereafter.

[0014]

<<The 1st embodiment>>

The 1st embodiment is Claim 1 - an embodiment corresponding to three.

Drawing 1 is the outline top view of the picture element region of the solid state image sensor 10 in the 1st embodiment. Drawing 2 is the sectional view of C1-C1 line shown in drawing 1. In addition, the same reference mark is given to a member equivalent to drawing 5 and drawing 6 which were mentioned above among the members shown in drawing 1 and drawing 2, and explanation here is omitted.

[0015]

The composition of the solid state image sensor 10 is hereafter explained using drawing 1 and drawing 2.

First, the semiconductor board 1 is classified into the picture element region 100A and the peripheral circuit area 100B. p WERU field 2a is formed in this picture element region 100A. In this p WERU field 2a, two or more unit pixels PXL are arranged in the shape of an array.

On the other hand, the vertical scanning circuit, horizontal scanning circuit, and signal-processing circuit for controlling the unit pixel PXL are formed in the peripheral circuit area 100B as a CMOS circuit.

[0016]

The nMOS transistor Tn of this CMOS circuit is formed in p WERU field 2b of the semiconductor board 1. On the other hand, the pMOS transistor circuit Tp is formed in n WERU field 3 of the semiconductor board 1.

Furthermore, the interlayer insulation film 5 patterned so that the aperture of the predetermined portion might be carried out is formed, and the wiring 6 electrically connected with the electric conduction field of each element mentioned above on it is patterned.

[0017]

After this wiring 6, the interlayer insulation film 7 is formed further. On this interlayer insulation film 7, the light-shielding film 8 which consists of metal etc. is formed. An opening is prepared in this light-shielding film 8 only the part corresponding to Photo-diode PD.

Moreover, field oxide 4 is formed between the unit pixels PXL. The trench separation field 9 is formed under this field oxide 4.

Polysilicon 10c is embedded in the slot of this trench separation field 9. This polysilicon

10c contains boron (B) by three or more [ one E19cm-] high concentration.

As the formation method of such a trench separation field 9, the following procedure is desirable, for example.

[0018]

(1) First, carry out anisotropic etching before forming field oxide 4, and form the slot of the trench separation field 9. As for the depth of this slot, it is desirable to make it almost comparable as the thickness of p WERU fields 2a and 2b.

(2) Then, make the polysilicon 10c with which boron was doped deposit on the slot of the trench separation field 9 using a decompression CVD method.

(3) The polysilicon 10c deposited in addition to the slot of the trench separation field 9 is removed by carrying out dry etching of the whole wafer surface.

(4) In subsequent heat treatment processes (for example, field oxidization etc.), boron is spread in the inner wall of the slot of the trench separation field 9 from Polysilicon 10c, and a diffusion zone 9a is formed in it. (In addition by this boron diffusion, the boron concentration of Polysilicon 10c hardly changes.)

[0019]

(Effect of the 1st embodiment etc.)

The trench separation field 9 of this embodiment can carry out gettering of the heavy metals leading to a dark current by Polysilicon 10c and the diffusion zone 9a which were embedded in the slot.

The focus of the gettering function of this trench separation field 9 is explained hereafter.

[0020]

(A) The trench separation field 9 is established in the crevice between the unit pixels PXL. Therefore, the interval of a gettering field and the unit pixel PXL can demonstrate the strong gettering effect to the neighborhood and the unit pixel PXL rather than the conventional parallel mentioned above. Therefore, it becomes possible to control the dark current of the unit pixel PXL powerfully much more, and signal S/N of the solid state image sensor 10 can be raised notably.

[0021]

(B) The trench separation field 9 exists in the inside of p WERU field 2a where the unit pixel PXL exists. Therefore, it acts on the unit pixel PXL soon from the inside of p WERU field 2a. The higher gettering effect can be acquired also from the point.

[0022]

(C) The trench separation field 9 carries out the depletion-ized field of the circumference of photo-diode PD, abbreviation, etc., is, and is formed in the depth. Therefore, the high gettering effect can be acquired to the depletion-ized field of the circumference of photo-diode PD. As a result, the pollution metal which exists in the depletion-ized field of Photo-diode PD is removed notably, and it becomes possible to reduce notably the dark output generated in this depletion-ized field. It becomes possible to raise S/N of the solid state image sensor 10 certainly also from the point.

[0023]

(D) The trench separation field 9 is established in the part shaded by the light-shielding film 8. Therefore, even if the solid state image sensor 10 is under optical irradiation, the trench separation field 9 is maintained at a dark condition. Usually, some donors of the heavy metal by which gettering was carried out deviate by irradiation of white light. However, in this embodiment, since the trench separation field 9 is placed by the dark

condition, there is little deviation of the caught metal and it becomes possible to acquire continuously the gettering effect stabilized more.

[0024]

(E) Since the polysilicon 10c of high impurities concentration is irregular grids structure, it also has amorphous character. Therefore, many lattice defects exist in Polysilicon 10c. This lattice defect exerts lattice distortion on a surrounding crystal from that irregularity structure. This lattice distortion works as a gettering center of heavy metals. Therefore, it enables the trench separation field 9 to catch metal contamination still more effectively according to the gettering operation which the lattice distortion inside polysilicon 10c has.

[0025]

(F) The trench separation field 9 can be formed after forming p WERU field 2a. Therefore, unlike conventional parallel, there is no necessity in particular of forming an epitaxial layer anew. Therefore, the situation where metal contamination of the solid state image sensor 10 is carried out by the epitaxial growth process is avoidable. Moreover, it also enables only the part which made the epitaxial growth process unnecessary to reduce the production time and manufacture cost of the solid state image sensor 10.

[0026]

(G) By having formed the trench separation field 9 in the boundary of the unit pixel PXL, each unit pixel PXL is certainly separable. Therefore, the contiguity cross talk of a signal electric charge is stopped notably, and it becomes possible to acquire a good picture signal.

[0027]

(H) In the solid state image sensor 10, the same structure as the trench separation field 9 is formed also in p WERU field 2b of the peripheral circuit area 100B. As a result, it becomes possible to suppress the leak current of a CMOS circuit, and it becomes possible to raise the yield of the peripheral circuit area 100B certainly.

Next, another embodiment is explained.

[0028]

<<The 2nd embodiment>>

The 2nd embodiment is Claim 1 - an embodiment corresponding to three.

Drawing 3 is the outline top view of the picture element region of the solid state image sensor 20 in the 2nd embodiment.

As shown in drawing 3, unit pixel 20PXL is formed in the picture element region 20a of the solid state image sensor 20 in the shape of an array. These unit pixel 20PXL is equipped with one step of photo-diode 20PD and perpendicular CCD33, and is constituted.

On the other hand, level CCD39 and the output part 40 are formed in the peripheral circuit area 20b of the solid state image sensor 20.

[0029]

Drawing 4 is the pixel sectional view of C2-C2 line shown in drawing 3.

As shown in drawing 4, p WERU field 32 is established in the n-type semiconductor board 31. Embedding type photo-diode 20PD, p type high concentration surface coat 34, and the CCD diffusion zone 33a of perpendicular CCD33 are formed in this p WERU field 32. On this CCD diffusion zone 33a, the electrode 35 for signal charge transfer is formed through gate oxide 37. Each of these elements are covered with the flattening film

38 which consists of the oxide or nitride of silicon.

[0030]

Furthermore, between the boundaries of unit pixel 20PXL, the trench separation field 36 is formed so that p WERU field 32 may be divided. (However, the trench separation field 36 is not established in the CCD diffusion zone 33a.)

Polysilicon 36a is embedded in the slot of this trench separation field 36. This polysilicon 36a contains boron (B) by three or more [one  $E19cm^{-3}$ ] high concentration.

[0031]

Moreover, when boron in Polysilicon 36a is spread, a diffusion zone 36b is formed in the inner wall of the slot of the trench separation field 36. In addition, in diffusion of such boron, the boron concentration of the polysilicon 36a of high impurities concentration hardly changes. In addition, about the formation method of this trench separation field 36, since it is the same as that of the 1st embodiment, explanation is omitted.

[0032]

(Effect of the 2nd embodiment etc.)

The trench separation field 36 of this embodiment can carry out gettering of the heavy metals leading to a dark current by Polysilicon 36a and the diffusion zone 36b which were embedded in the slot.

Therefore, the heavy metals which exist near the photo-diode 20PD are certainly removable with the trench separation field 36. Therefore, it controls effectively, the leak current, i.e., the dark current, of photo-diode 20PD, and it becomes possible to acquire the picture signal of high S/N.

Moreover, since the trench separation field 36 was formed between the boundaries of unit pixel 20PXL, it also becomes possible to stop the signal cross talk between pixels effectively.

[0033]

<<The supplementary matter of an embodiment>>

In addition, in the embodiment mentioned above, the substance which introduced boron as impurities is embedded to the trench separation field. Especially boron demonstrates a high effect, when carrying out gettering of the iron which is the main contaminant of a picture element region. However, this invention is not limited to boron. For example, as impurities, at least one kind of boron, Lynn, arsenic, and antimony is desirable.

[0034]

[Effect of the Invention]

As explained above, in the solid state image sensor of this invention, high impurities concentration's being amorphous or the substance of polycrystal is embedded in the slot of a trench separation field. Since such a trench separation field of structure exhibits a gettering function, it can remove metal contamination of a unit pixel appropriately.

[0035]

By this invention, metal can be caught in particular from the position near a unit pixel rather than the gettering layer 102 of conventional parallel, or the high impurities concentration field 103 for separation. As a result, the higher gettering effect can be acquired.

Therefore, in the solid state image sensor which adopted this invention, the dark current generated in a unit pixel is reduced certainly, and it becomes possible to generate the picture signal of high S/N.

[Brief Description of the Drawings]

[Drawing 1] It is the outline top view of the picture element region of the solid state image sensor 10 in the 1st embodiment.

[Drawing 2] It is the sectional view of the solid state image sensor 10.

[Drawing 3] It is the outline top view of the picture element region of the solid state image sensor 20 in the 2nd embodiment.

[Drawing 4] It is the pixel sectional view of the solid state image sensor 20.

[Drawing 5] It is the outline sectional view of the conventional solid state image sensor 100.

[Drawing 6] It is the circuit block diagram of the unit pixel PXL of the conventional solid state image sensor 100.

[Explanations of letters or numerals]

PXL, 20PXL Unit pixel

Tp pMOS transistor

Tn nMOS transistor

PD, 20PD Photo-diode

Qt Transmission switch

Qr Reset switch

Qa Amplification element

Qs Selection switch

1 Semiconductor Board

2a, 32 p WERU field

2b p WERU field

2c Separation field

3 N WERU Field

4 Field Oxide

5 Interlayer Insulation Film

6 Wiring

7 Interlayer Insulation Film

8 Light-shielding Film

9, 36 Trench separation field

9a, 36b Diffusion zone

10, 20 Solid state image sensor

10c, 36a Polysilicon

31 N-type Semiconductor Board

33 Perpendicular CCD

33a CCD diffusion zone

34 P Type High Concentration Surface Coat

35 Electrode

37 Gate Oxide

38 Flattening Film

39 Level CCD

40 Output Part

---



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2004-172394  
(P2004-172394A)

(43) 公開日 平成16年6月17日 (2004.6.17)

(51) Int. Cl. <sup>7</sup>	F 1	テーマコード (参考)
H O 1 L 27/146	H O 1 L 27/14	4 M 1 1 8
H O 1 L 21/322	H O 1 L 21/322	5 C O 2 4
H O 1 L 27/148	H O 4 N 5/335	
H O 4 N 5/335	H O 1 L 27/14	B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号	特願2002-336798 (P2002-336798)	(71) 出願人	000004112
(22) 出願日	平成14年11月20日 (2002.11.20)		株式会社ニコン
		(74) 代理人	100072718
			弁理士 古谷 史旺
		(72) 発明者	石田 知久
			東京都千代田区丸の内3丁目2番3号 株
			式会社ニコン内
		F ターム (参考)	4M118 AA05 AB01 BA09 BA13 BA14
			CA02 CA03 CA32 FA06 FA27
			FA28 FA50 GB03 GB06 GB10
			GB14 GB19
			5C024 GX03 GY31

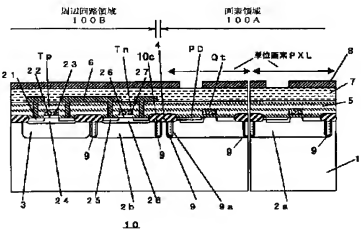
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】本発明は、固体撮像装置（画素領域）の汚染除去に効果的なゲッタリング技術を提示することを目的とする。

【解決手段】本発明は、入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置である。この固体撮像装置の単位画素間には、トレンチ分離領域が形成される。このトレンチ分離領域の溝には、 $1 \times 10^{19} \text{ cm}^{-3}$  以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれる。このような構造のトレンチ分離領域は、ゲッタリング領域として働き、固体撮像装置（特に画素領域）の金属汚染を顕著に除去する。その結果、高 S / N の固体撮像装置を実現することができる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置であって、  
前記単位画素間にトレンチ分離領域が形成され、前記トレンチ分離領域の溝に、 $1 \times 10^{19} \text{ cm}^{-3}$  以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれている  
ことを特徴とする固体撮像装置。

## 【請求項 2】

請求項 1 に記載の固体撮像装置において、前記トレンチ分離領域に埋め込む前記物質は、  
不純物としてボロン、リン、砒素、およびアンチモンのうち少なくとも 1 種類の元素を含む  
ことを特徴とする固体撮像装置。 10

## 【請求項 3】

請求項 1 ないし請求項 2 のいずれか 1 項に記載の固体撮像装置において、  
前記トレンチ分離領域の溝の内壁には、埋め込まれた前記物質と同じ導電型の拡散層が形成  
されている  
ことを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、固体撮像装置に関する。より詳しくは、本発明は、暗電流を低減する構造を実  
現した固体撮像装置に関する。 20

## 【0002】

## 【従来の技術】

従来、半導体ウェハの裏面にゲッタリング層を形成し、ウェハ内の金属汚染を裏面側に集  
めて捕捉するゲッタリング技術が知られている。その他、一般的なゲッタリング技術につ  
いては、下記の非特許文献 1 に記載されている。  
また、固体撮像装置にゲッタリング技術を適用した従来例として、下記の特許文献 1 が開  
示されている。

## 【0003】

図 5 は、この特許文献 1 に準拠した XY アドレス型の固体撮像装置 100 の概略断面図で  
ある。図 6 は、この固体撮像装置 100 の単位画素 PXL の回路構成図である。  
以下、図 5 および図 6 に基づいて、この固体撮像装置 100 の構成を説明する。  
半導体基板 101a の上には、エピタキシャル層 101b が層形成される。このエピタキ  
シャル層 101b は、画素領域 100A と周辺回路領域 100B とに区分される。 30

## 【0004】

この画素領域 100A には、p ウェル領域 2a が形成される。この p ウェル領域 2a には  
、複数の単位画素 PXL がアレイ状に配置される。これら単位画素 PXL の一つ一つは、  
ホトダイオード PD、転送スイッチ Qt、リセットスイッチ Qr、増幅素子 Qa、選択ス  
イッチ Qs を備えて構成される。

一方、周辺回路領域 100B には、上記の単位画素 PXL を制御する垂直走査回路や水平  
走査回路および信号処理回路などが、CMOS 回路として形成される。この CMOS 回路  
の n MOS トランジスタ Tn は、p ウェル領域 2b 内に、n 型ソース／ドレイン領域 25  
、ゲート酸化膜 26、ゲート電極 27、および n MOS トランジスタ Tn の閾値を制御す  
るためのチャネルドープ領域 28 を備えて構成される。一方、CMOS 回路の p MOS ト  
ランジスタ Tp は、n ウェル領域 3 内に、p 型ソース／ドレイン領域 21、ゲート酸化膜  
22、ゲート電極 23、および p MOS トランジスタ Tp の閾値を制御するためのチャネ  
ルドープ領域 24 を備えて構成される。 40

## 【0005】

これらの各素子の間には、フィールド酸化膜 4 が適宜に形成され、各素子を分離・絶縁す  
る。この内、p ウェル領域 2a、2b に接するフィールド酸化膜 4 の下部には、分離領域 50

2 c が形成されている。

さらに、所定の部分が開口されるようにパターニングされた層間絶縁膜 5 が形成され、その上に上述した各素子の導電領域と電気的に接続される配線 6 がパターニングされる。

#### 【0006】

このような固体撮像装置 100 では、p ウェル領域 2 a の下側に接するように、高不純物濃度のゲッタリング層 102 が形成されている。このゲッタリング層 102 は、リン (P) やボロン (B) などの不純物を、 $1 \text{ E } 17 \sim 1 \text{ E } 19 \text{ cm}^{-3}$  の高濃度で導入することによって形成される。

さらに、固体撮像装置 100 には、p ウェル領域 2 a を囲むように n 型の分離用高不純物濃度領域 103 が形成されている。この分離用高不純物濃度領域 103 は、リン (P) を  $1 \text{ E } 18 \sim 1 \text{ E } 19 \text{ cm}^{-3}$  の高濃度で導入することによって形成される。

これらのゲッタリング層 102 および分離用高不純物濃度領域 103 は、暗電流の発生源となる Cr、Fe、Ni、Co、Cu、Au などの重金属類あるいは微小欠陥を捕捉する。その結果、固体撮像装置の暗電流を低減することができる。

#### 【0007】

##### 【特許文献 1】

特開 2002-43557 号公報

##### 【非特許文献 1】

電子通信学会編“LSI ハンドブック”第 1 版第 1 刷、

358 頁～364 頁、オーム社発行

#### 【0008】

##### 【発明が解決しようとする課題】

上述した固体撮像装置 100 では、p ウェル領域 2 a の下側にゲッタリング層 102 を配置する。このような構造の場合、p ウェル領域 2 a を形成する前に、ゲッタリング層 102 を形成しておかなければならない。

すなわち、ゲッタリング層 102 を半導体基板 101 a に形成した後、ゲッタリング層 102 の上にエピタキシャル層 101 b を層形成しなければならなかった。

その結果、固体撮像装置 100 の製造には、エピタキシャル成長の工程が必須となり、固体撮像装置 100 の製造コストが高くなるという問題点があった。

#### 【0009】

さらに、このエピタキシャル成長工程では、原料ガスとして  $\text{SiCl}_4$ 、 $\text{SiHCl}_3$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiH}_4$  などが使用される。これらの原料ガスはいずれも金属不純物を比較的多量に含むため、金属汚染が発生しやすい。したがって、ゲッタリング層 102 を形成するために採用したエピタキシャル成長工程によって、固体撮像装置 100 が重金属類にかえて汚染されてしまうという問題点があった。

#### 【0010】

また、ゲッタリング層 102 とホットダイオード PD 等との間隔は実質的に遠いため、ゲッタリング層 102 では、ホットダイオード PD のリーク電流 (すなわち暗電流) を誘発する金属汚染を十分に除去することが困難であった。

さらに、分離用高不純物濃度領域 103 は、画素領域 100 A の周囲に形成されるため、画素領域 100 A の中央部分の単位画素 PXL に対してはゲッタリング能力が不足しやすいという問題点もあった。

#### 【0011】

通常、固体撮像装置の素子微細化に伴って製造プロセスを低温化すると、ゲッタリング能力が全般に低下する。そのため、高解像度の固体撮像装置ほど、上述した問題点は顕著に現れる。

そこで、本発明は、上述した問題点に鑑みて、固体撮像装置 (画素領域) の汚染除去に効果的なゲッタリング技術を提示することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

10

20

30

40

50

以下、本発明について説明する。

《請求項１》

請求項１に記載の発明は、入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置である。この固体撮像装置の単位画素間には、トレンチ分離領域が形成される。このトレンチ分離領域の溝には、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれる。

《請求項２》

請求項２に記載の発明は、請求項１に記載の固体撮像装置において、トレンチ分離領域に埋め込む物質には、不純物としてボロン、リン、砒素、アンチモンのうち少なくとも１種類の元素が含まれる。

10

《請求項３》

請求項３に記載の発明は、請求項１ないし請求項２のいずれか１項に記載の固体撮像装置において、トレンチ分離領域の溝の内壁には、埋め込まれた物質と同じ導電型の拡散層が形成されている。

【００１３】

《発明の実施の形態》

以下、図面に基づいて本発明にかかる実施形態を説明する。

【００１４】

《第１の実施形態》

第１の実施形態は、請求項１～３に対応する実施形態である。

20

図１は、第１の実施形態における固体撮像装置１０の画素領域の概略平面図である。図２は、図１に示したＣ１－Ｃ１ラインの断面図である。なお、図１および図２に示す構成要素の内、前述した図５および図６と同等の構成要素には、同一の参照符号を付与し、ここでの説明を省略する。

【００１５】

以下、図１および図２を用いて、固体撮像装置１０の構成を説明する。

まず、半導体基板１は、画素領域１００Ａと周辺回路領域１００Ｂとに区分される。この画素領域１００Ａには、ｐウェル領域２ａが形成される。このｐウェル領域２ａには、複数の単位画素ＰＸＬがアレイ状に配置される。

一方、周辺回路領域１００Ｂには、単位画素ＰＸＬを制御するための垂直走査回路、水平走査回路、および信号処理回路が、ＣＭＯＳ回路として形成される。

30

【００１６】

このＣＭＯＳ回路のｎＭＯＳトランジスタ $T_n$ は、半導体基板１のｐウェル領域２ｂに形成される。一方、ｐＭＯＳトランジスタ回路 $T_p$ は、半導体基板１のｎウェル領域３に形成される。

さらに、所定の部分が開口されるようにパターニングされた層間絶縁膜５が形成され、その上に上述した各素子の導電領域と電気的に接続される配線６がパターニングされる。

【００１７】

この配線６の上には、さらに層間絶縁膜７が形成される。この層間絶縁膜７上には、金属等からなる遮光膜８が形成される。この遮光膜８には、ホトダイオードＰＤに対応する箇所のみ開口部が設けられる。

40

また、単位画素ＰＸＬの間にはフィールド酸化膜４が形成される。このフィールド酸化膜４の下には、トレンチ分離領域９が形成される。

このトレンチ分離領域９の溝には、ポリシリコン１０ｃが埋め込まれる。このポリシリコン１０ｃは、ボロン（Ｂ）を $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度で含む。

このようなトレンチ分離領域９の形成方法としては、例えば、次の手順が好ましい。

【００１８】

(１) まず、フィールド酸化膜４を形成する以前に異方性エッチングを実施し、トレンチ分離領域９の溝を形成する。この溝の深さは、ｐウェル領域２ａ、２ｂの厚みとほぼ同程度にすることが好ましい。

50

(2) 続いて、ボロンがドーブされたポリシリコン10cを、減圧CVD法を用いて、トレンチ分離領域9の溝に堆積させる。

(3) トレンチ分離領域9の溝以外に堆積したポリシリコン10cは、ウエハ全面をドライエッチングすることによって除去される。

(4) その後の熱処理工程(例えばフィールド酸化等)において、トレンチ分離領域9の溝の内壁には、ポリシリコン10cからボロンが拡散し、拡散層9aが形成される。(なお、このボロン拡散では、ポリシリコン10cのボロン濃度はほとんど変化しない。)

#### 【0019】

(第1の実施形態の効果など)

本実施形態のトレンチ分離領域9は、溝に埋め込まれたポリシリコン10cおよび拡散層9aによって、暗電流の原因となる重金属類をゲッターリングすることができる。 10

以下、このトレンチ分離領域9のゲッターリング機能の特徴点を説明する。

#### 【0020】

(A) トレンチ分離領域9は、単位画素PXL間の隙間に設けられる。したがって、上述した従来例よりも、ゲッターリング領域と単位画素PXLとの間隔が近く、単位画素PXLに対して強いゲッターリング効果を発揮することができる。したがって、単位画素PXLの暗電流を一段と強力に抑制することが可能になり、固体撮像装置10の信号S/Nを顕著に高めることができる。

#### 【0021】

(B) トレンチ分離領域9は、単位画素PXLが存在するpウェル領域2aの内部に存在する。したがって、pウェル領域2aの内部から単位画素PXLに直に作用する。その点からもより高いゲッターリング効果を得ることができる。 20

#### 【0022】

(C) トレンチ分離領域9は、ホットダイオードPD周囲の空乏化領域と略等しい深さに形成される。したがって、ホットダイオードPD周囲の空乏化領域に対して高いゲッターリング効果を得ることができる。その結果、ホットダイオードPDの空乏化領域に存在する汚染金属を顕著に除去し、この空乏化領域内で発生する暗出力を顕著に低減することが可能になる。その点からも、固体撮像装置10のS/Nを確実に高めることが可能になる。

#### 【0023】

(D) トレンチ分離領域9は、遮光膜8によって遮光された箇所に設けられている。そのため、固体撮像装置10が光照射下にあっても、トレンチ分離領域9は暗状態に保たれる。通常、ゲッターリングされた重金属のドナーは、白色光の照射によって一部が乖離する。しかしながら、本実施形態では、トレンチ分離領域9が暗状態に置かれるため、捕捉した金属の乖離が少なく、より安定したゲッターリング効果を持続的に得ることが可能になる。 30

#### 【0024】

(E) 高不純物濃度のポリシリコン10cは、不規則な格子構造であるため、非晶質の性質も有する。そのため、ポリシリコン10cには多数の格子欠陥が存在する。この格子欠陥はその不規則な構造から周囲の結晶に格子歪を及ぼす。この格子歪みは、重金属類のゲッターリング中心として働く。したがって、トレンチ分離領域9は、ポリシリコン10c内部の格子歪が有するゲッターリング作用によって、金属汚染を更に有効に捕捉することが可能になる。 40

#### 【0025】

(F) トレンチ分離領域9は、pウェル領域2aを形成した後に形成できる。そのため、従来例とは異なり、エピタキシャル層を改めて形成する必要が特にならない。したがって、エピタキシャル成長工程によって固体撮像装置10が金属汚染されるといった事態を回避することができる。また、エピタキシャル成長工程を不要とした分だけ、固体撮像装置10の製造時間や製造コストを低減することも可能になる。

#### 【0026】

(G) 単位画素PXLの境界にトレンチ分離領域9を形成したことにより、各単位画素PXLを確実に分離することができる。したがって、信号電荷の隣接クロストークを顕著に 50

抑え、良質な画像信号を得ることが可能になる。

#### 【0027】

(H) 固体撮像装置10では、周辺回路領域100Bのpウェル領域2b内にも、トレンチ分離領域9と同様の構造が形成される。その結果、CMOS回路のリーク電流を抑えることが可能になり、周辺回路領域100Bの歩留まりを確実に高めることが可能になる。次に、別の実施形態について説明する。

#### 【0028】

##### 《第2の実施形態》

第2の実施形態は、請求項1～3に対応する実施形態である。

図3は、第2の実施形態における固体撮像装置20の画素領域の概略平面図である。

図3に示すように、固体撮像装置20の画素領域20aには単位画素20PXLがアレイ状に形成される。これらの単位画素20PXLは、ホットダイオード20PD、および垂直CCD33の1段分を備えて構成される。

一方、固体撮像装置20の周辺回路領域20bには、水平CCD39および出力部40が設けられる。

#### 【0029】

図4は、図3に示したC2-C2ラインの画素断面図である。

図4に示すように、n型半導体基板31には、pウェル領域32が設けられる。このpウェル領域32には、埋め込み型のホットダイオード20PD、p型高濃度表面層34、および垂直CCD33のCCD拡散層33aが形成される。このCCD拡散層33aの上には、信号電荷転送用の電極35がゲート酸化膜37を介して形成される。これらの各素子は、シリコンの酸化物あるいは窒化物からなる平坦化膜38で覆われている。

#### 【0030】

さらに、単位画素20PXLの境界間には、pウェル領域32を分断するように、トレンチ分離領域36が設けられる。(ただし、CCD拡散層33aにはトレンチ分離領域36を設けない。)

このトレンチ分離領域36の溝には、ポリシリコン36aが埋め込まれている。このポリシリコン36aは、ボロン(B)を $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度で含む。

#### 【0031】

また、トレンチ分離領域36の溝の内壁には、ポリシリコン36a内のボロンが拡散することにより、拡散層36bが形成される。なお、このようなボロンの拡散では、高不純物濃度のポリシリコン36aのボロン濃度はほとんど変化しない。なお、このトレンチ分離領域36の形成方法については、第1の実施形態と同様であるため、説明を省略する。

#### 【0032】

##### (第2の実施形態の効果など)

本実施形態のトレンチ分離領域36は、溝に埋め込まれたポリシリコン36aおよび拡散層36bによって、暗電流の原因となる重金属類をゲッタリングすることができる。

したがって、ホットダイオード20PDの近傍に存在する重金属類は、トレンチ分離領域36によって確実に除去することができる。したがって、ホットダイオード20PDのリーク電流すなわち暗電流を効果的に抑制し、高S/Nの画像信号を得ることが可能になる。

また、単位画素20PXLの境界間にトレンチ分離領域36を設けたので、画素間の信号クロストークを効果的に抑えることも可能になる。

#### 【0033】

##### 《実施形態の補足事項》

なお、上述した実施形態では、不純物としてボロンを導入した物質をトレンチ分離領域に埋め込んでいる。特に、ボロンは、画素領域の主たる汚染物質である鉄をゲッタリングする上で高い効果を発揮する。しかしながら、本発明は、ボロンに限定されるものではない。例えば、不純物としては、ボロン、リン、砒素、およびアンチモンの少なくとも1種類が好ましい。

#### 【0034】

10

20

30

40

50

## 【発明の効果】

以上説明したように、本発明の固体撮像装置では、トレンチ分離領域の溝に、高不純物濃度の非晶質または多結晶の物質を埋め込む。このような構造のトレンチ分離領域は、ゲッタリング機能を発揮するため、単位画素の金属汚染を適切に除去することができる。

## 【００３５】

特に、本発明では、従来例のゲッタリング層１０２や分離用高不純物濃度領域１０３よりも、単位画素に近い位置から金属類を捕捉することができる。その結果、一段と高いゲッタリング効果を得ることができる。

したがって、本発明を採用した固体撮像装置では、単位画素に発生する暗電流を確実に低減し、高Ｓ／Ｎの画像信号を生成することが可能になる。

10

## 【図面の簡単な説明】

【図１】第１の実施形態における固体撮像装置１０の画素領域の概略平面図である。

【図２】固体撮像装置１０の断面図である。

【図３】第２の実施形態における固体撮像装置２０の画素領域の概略平面図である。

【図４】固体撮像装置２０の画素断面図である。

【図５】従来の固体撮像装置１００の概略断面図である。

【図６】従来の固体撮像装置１００の単位画素ＰＸＬの回路構成図である。

## 【符号の説明】

PXL, 20PXL 単位画素

Tp pMOSトランジスタ

20

Tn nMOSトランジスタ

PD, 20PD ホトダイオード

Qt 転送スイッチ

Qr リセットスイッチ

Qa 増幅素子

Qs 選択スイッチ

1 半導体基板

2a, 32 pウェル領域

2b pウェル領域

2c 分離領域

30

3 nウェル領域

4 フィールド酸化膜

5 層間絶縁膜

6 配線

7 層間絶縁膜

8 遮光膜

9, 36 トレンチ分離領域

9a, 36b 拡散層

10, 20 固体撮像装置

10c, 36a ポリシリコン

40

31 n型半導体基板

33 垂直CCD

33a CCD拡散層

34 p型高濃度表面層

35 電極

37 ゲート酸化膜

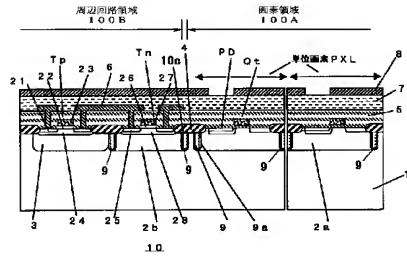
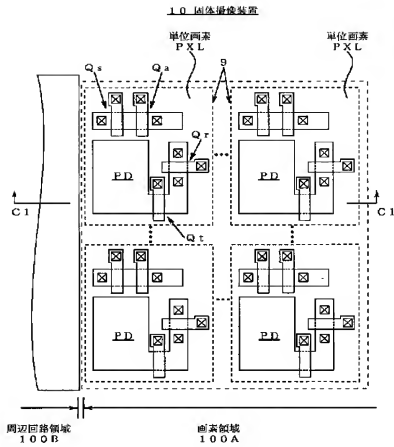
38 平坦化膜

39 水平CCD

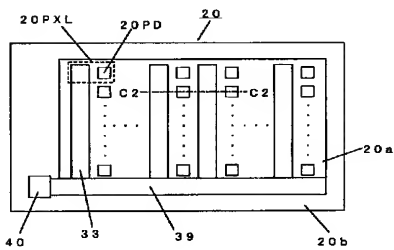
40 出力部



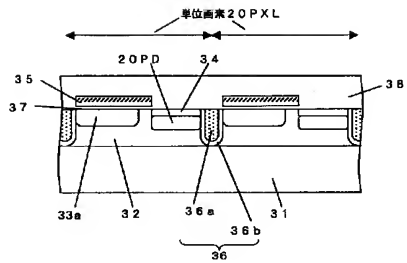
【 図 2 】



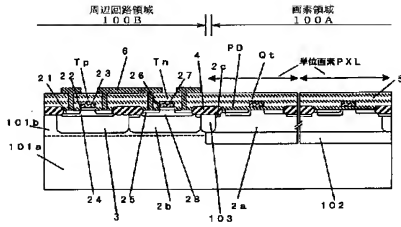
【图 3】



【 図 4 】



【図 5】



【図 6】

